

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246571

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
G11C 11/404  
G11C 11/407

(21)Application number : 2001-039122

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.02.2001

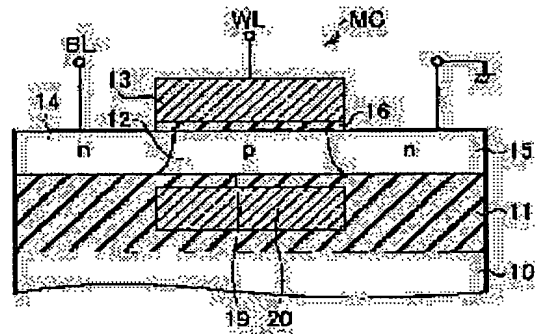
(72)Inventor : OSAWA TAKASHI

## (54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory device where dynamic storage is allowed by a memory cell of a simple transistor.

**SOLUTION:** A memory cell MC of 1 bit comprises one MIS transistor formed at a floating silicon layer. In addition to a first gate 13 for channel formation which is provided between a source 15 and a drain 14 of the MIS transistor, a second gate 20 is provided whose electric potential is fixed for controlling the electric potential of the silicon layer 12 by capacity coupling. The MIS transistor dynamically stores a first data status wherein impact-ionization takes place near a drain junction to set the silicon layer 12 to a first electric potential, and a second data status wherein a forward current is allowed to flow the drain junction to set the silicon layer 12 to a second electric potential.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

31/311

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-246571

(P2002-246571A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
H 0 1 L 27/108		H 0 1 L 27/10	6 1 1	5 F 0 8 3
21/8242		G 1 1 C 11/34	3 5 2 C	5 M 0 2 4
G 1 1 C 11/404			3 5 4 D	
11/407		H 0 1 L 27/10	6 7 1 C	
			6 8 1 D	
審査請求 未請求 請求項の数12 O L (全 15 頁) 最終頁に続く				

(21) 出願番号 特願2001-39122(P2001-39122)

(22) 出願日 平成13年2月15日 (2001.2.15)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 大澤 隆

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74) 代理人 100092820

弁理士 伊丹 勝

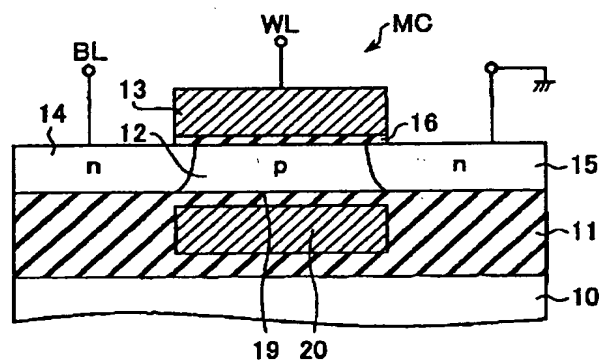
最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 単純なトランジスタ構造のメモリセルにより、ダイナミック記憶を可能とした半導体メモリ装置を提供する。

【解決手段】 1ビットのメモリセルMCがフローティングのシリコン層12に形成された一つのMISトランジスタにより構成される。MISトランジスタのソース15、ドレイン14間に配置されたチャネル形成のための第1のゲート13とは別に、シリコン層12の電位を容量結合により制御するための電位固定された第2のゲート20が設けられる。MISトランジスタは、ドレイン接合近傍でインパクトイオン化を起こしてシリコン層12を第1の電位に設定した第1データ状態と、ドレイン接合に順方向電流を流してシリコン層12を第2の電位に設定した第2データ状態とをダイナミックに記憶する。



1

## 【特許請求の範囲】

【請求項1】 1ビットのメモリセルがフローティングの半導体層に形成された一つのMISトランジスタにより構成され、  
前記MISトランジスタのソース、ドレイン間に配置されたチャンネル形成のための第1のゲートとは別に、前記半導体層の電位を容量結合により制御するための電位固定された第2のゲートが設けられ、  
前記MISトランジスタは、ドレイン接合近傍でインパクトイオン化を起こして前記半導体層を第1の電位に設定した第1データ状態と、ドレイン接合に順バイアス電流を流して前記半導体層を第2の電位に設定した第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項2】 前記第1データ状態は、前記MISトランジスタを5極管動作させることによりドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、  
前記第2データ状態は、前記第1のゲートからの容量結合により所定電位が与えられた前記半導体層と前記ドレインとの間に順方向バイアスを与えることにより書き込まれることを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】 前記MISトランジスタが複数個マトリクス配列され、第1の方向に並ぶMISトランジスタのドレインがビット線に、第2の方向に並ぶMISトランジスタの第1のゲートがワード線に、前記MISトランジスタのソースが第1の固定電位に、前記MISトランジスタの第2のゲートが第2の固定電位にそれぞれ接続されてメモリセルアレイが構成され、  
データ書き込み時、前記第1の固定電位を基準電位として、選択ワード線に前記基準電位より高い第1の制御電位を与え、非選択ワード線に前記基準電位より低い第2の制御電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ前記基準電位より高い第3の制御電位及び前記基準電位より低い第4の制御電位を与えるようにしたことを特徴とする請求項1記載の半導体メモリ装置。

【請求項4】 前記第2のゲートに与える第2の固定電位を、前記半導体層の前記第2のゲート側の表面が蓄積状態になるように設定したことを特徴とする請求項3記載の半導体メモリ装置。

【請求項5】 前記第2のゲートに与える第2の固定電位を、前記半導体層の前記第2のゲート側の表面が空乏状態になるように設定したことを特徴とする請求項3記載の半導体メモリ装置。

【請求項6】 前記第2のゲートに与える第2の固定電位を、前記基準電位より低い電位に設定したことを特徴とする請求項3記載の半導体メモリ装置。

【請求項7】 前記半導体層は、半導体基板上に絶縁膜

2

により分離されて形成されたものであり、  
前記第1のゲートは、前記半導体層の上部にワード線として連続的に配設され、前記第2のゲートは、前記半導体層の下部に前記ワード線と並行する配線として形成されていることを特徴とする請求項1乃至6のいずれかに記載の半導体メモリ装置。

【請求項8】 前記半導体層は、半導体基板上に絶縁膜により分離されて形成されたものであり、  
前記第1のゲートは、前記半導体層の上部にワード線として連続的に配設され、前記第2のゲートは、前記半導体層の下部に、全メモリセルをカバーする共通ゲートとして形成されていることを特徴とする請求項1乃至6のいずれかに記載の半導体メモリ装置。

【請求項9】 前記第2のゲートは、前記絶縁膜中に埋設されてゲート絶縁膜を介して前記半導体層に対向する多結晶シリコン膜であることを特徴とする請求項7又は8記載の半導体メモリ装置。

【請求項10】 前記第2のゲートは、前記絶縁膜を介して前記半導体層に対向するように前記半導体基板の表面部に形成された高濃度不純物拡散層であることを特徴とする請求項7又は8記載の半導体メモリ装置。

【請求項11】 前記半導体層は、半導体基板上に形成された柱状半導体であり、  
前記第1のゲート及び第2のゲートは、前記柱状半導体層の両側面に対向するように形成され、前記ドレインが前記柱状半導体の上面に、前記ソースが前記柱状半導体の下部に形成されていることを特徴とする請求項1乃至6のいずれかに記載の半導体メモリ装置。

【請求項12】 前記第1のゲートと前記半導体層の間の第1のゲート絶縁膜に比べて、前記第2のゲートと前記半導体層の間の第2のゲート絶縁膜が厚く設定されていることを特徴とする請求項1乃至6のいずれかに記載の半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、トランジスタのチャンネルボディを記憶ノードとしてダイナミックにデータ記憶を行う半導体メモリ装置に関する。

## 【0002】

【従来の技術】 従来のDRAMは、MOSトランジスタとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックトキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ（セルサイズ）は、最小加工寸法をFとして、 $2F \times 4F = 8F^2$ の面積まで縮小されている。つまり、最小加工寸法Fが世代と共に小さくなり、セルサイズを一般に $\alpha F^2$ としたとき、係数 $\alpha$ も世代と共に小さくなり、 $F = 0.18 \mu m$ の現在、 $\alpha = 8$ が実現されている。

【0003】 今後も従来と変わらないセルサイズ或いは

3

チップサイズのトレンドを確保するためには、 $F < 0.18 \mu\text{m}$ では、 $\alpha < 8$ 、更に $F < 0.13 \mu\text{m}$ では、 $\alpha < 6$ を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1トランジスタ/1キャパシタのメモリセルを $6F^2$ や $4F^2$ の大きさにする提案も種々なされている。しかし、トランジスタを縦型にしなければならないといった技術的困難や、隣接メモリセル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

【0004】これに対して、キャパシタを用いず、1トランジスタをメモリセルとするDRAMの提案も、以下に挙げるようにいくつかなされている。

①JOHN E. LEISS et al, "dRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)

②特開平3-171768号公報

③Marnix R. Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRONDEVICES, VOL. 37, MAY, 1990, pp1373-1382)

④Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM93, pp635-638)

【0005】

【発明が解決しようとする課題】①のメモリセルは、埋め込みチャネル構造のMOSトランジスタを用いて構成される。素子分離絶縁膜のテーパ部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。

②のメモリセルは、個々にウェル分離されたMOSトランジスタを用い、MOSトランジスタのウェル電位により決まるしきい値を二値データとする。

③のメモリセルは、SOI基板上のMOSトランジスタにより構成される。SOI基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部でのホール蓄積を利用し、このホールの放出、注入により二値記憶を行う。

④のメモリセルは、SOI基板上のMOSトランジスタにより構成される。MOSトランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用PMOSトランジスタと読み出し用NMOSトランジスタを一体に組み合わせた構造としている。NMOSトランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

【0006】しかし、①は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。②は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが

4

大きく、しかもビット毎の書き換えができない。③では、SOI基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。④は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、ページ線を必要とするため、信号線数が多くなる。

【0007】この発明は、単純なトランジスタ構造のメモリセルにより、ダイナミック記憶を可能とした半導体メモリ装置を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る半導体メモリ装置は、1ビットのメモリセルがフローティングの半導体層に形成された一つのMISトランジスタにより構成され、前記MISトランジスタのソース、ドレイン間に配置されたチャネル形成のための第1のゲートとは別に、前記半導体層の電位を容量結合により制御するための電位固定された第2のゲートが設けられ、前記MISトランジスタは、ドレイン接合近傍でインパクトイオン化を起こして前記半導体層を第1の電位に設定した第1データ状態と、ドレイン接合に順方向電流を流して前記半導体層を第2の電位に設定した第2データ状態とをダイナミックに記憶することを特徴とする。

【0009】この発明において具体的には、第1データ状態は、MISトランジスタを5極管動作させることによりドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、第2データ状態は、第1のゲートからの容量結合により所定電位が与えられた半導体層とドレインとの間に順方向バイアスを与えることにより書き込まれる。

【0010】この発明において具体的にメモリセルアレイは、MISトランジスタが複数個マトリクス配列され、第1の方向に並ぶMISトランジスタのドレインがビット線に、第2の方向に並ぶMISトランジスタの第1のゲートがワード線に、MISトランジスタのソースが第1の固定電位に、MISトランジスタの第2のゲートが第2の固定電位にそれぞれ接続されて構成される。MISトランジスタがnチャネル型であれば、データ書き込み時、第1の固定電位を基準電位として、選択ワード線に基準電位より高い第1の制御電位を与え、非選択ワード線に基準電位より低い第2の制御電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ基準電位より高い第3の制御電位及び基準電位より低い第4の制御電位を与えることにより、ビット単位でのデータ書き換えが可能になる。MISトランジスタがpチャネル型の場合には、基準電位と各制御電位の関係を逆にすればよい。

【0011】第2のゲートに与える第2の固定電位は、例えば半導体層の第2のゲート側表面が蓄積状態（フラットバンド状態を含む）になるように設定される。このとき、第2のゲート側にはゲート絶縁膜で決まる容量が

5

接続されたことになる。或いは、第2の固定電位を、半導体層の第2のゲート側の表面が反転層が形成されない範囲で空乏状態になるように設定してもよい。この場合、第2のゲート側のゲート絶縁膜が実質的に厚くなったと等価になる。具体的に、第2の固定電位として、表面を蓄積状態にするような基準電位より低い電位を与えることができる。

【0012】この発明によると、一つのメモリセルは、フローティングの半導体層を持つ単純な一つのトランジスタにより形成され、セルサイズを $4F^2$ と小さくすることができ、トランジスタのソースは固定電位に接続され、ドレインに接続されたビット線とゲートに接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。即ち任意ビット単位でのデータ書き換えも可能である。また、トランジスタのボディに対向する第2のゲートには、ソースに与える基準電位より低い電位を与えてボディと容量結合させることによって、第1のゲートによるボディに対する容量結合比を最適化して、“0”、“1”データのしきい値電圧差を大きくすることができる。

【0013】この発明において具体的に、半導体層は、半導体基板上に絶縁膜により分離されて形成されたSOI構造を持つものとする。この場合、第1のゲートは、半導体層の上部にワード線として連続的に配設され、第2のゲートは、半導体層の下部にワード線と並行する配線として、或いは、全メモリセルをカバーする共通ゲートとして形成される。また、第2のゲートは、半導体基板と半導体層を分離する絶縁膜中に埋設されてゲート絶縁膜を介して半導体層に対向する多結晶シリコン膜により構成することができる。或いはまた、第2のゲートは、半導体基板と半導体層を分離する絶縁膜を介して半導体層に対向するように、半導体基板の表面部に形成された高濃度不純物拡散層により構成することもできる。

【0014】更に、この発明において、半導体層は、半導体基板上に形成された柱状半導体とすることもできる。この場合、第1のゲート及び第2のゲートは、柱状半導体層の両側面に対向するように形成され、ドレインが柱状半導体の上面に、ソースが前記柱状半導体の下部に形成される。

【0015】更にこの発明において、第2のゲートと半導体層の間の第2のゲート絶縁膜の膜厚を調整することにより、チャンネルボディと第2のゲートとの間の容量を調整することができ、これにより、第1のゲートからのチャンネルボディに対する容量結合比を最適化することができる。具体的に、第1のゲートと半導体層の間の第1のゲート絶縁膜に比べて、第2のゲートと半導体層の間の第2のゲート絶縁膜を厚く設定すれば、チャンネルボディと第2のゲート間の容量がチャンネルボディと第1のゲート間の容量に比べて小さくなる。これにより、

“0”、“1”データのしきい値電圧差は小さくなる

6

が、チャンネルボディの電位の第1のゲートに対する追従性がよくなり、ワード線振幅を小さく抑えることができ、微細化にとって好ましい。

【0016】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1はこの発明によるDRAMの単位メモリセルの基本断面構造を示し、図2はその等価回路を示している。メモリセルMCは、SOI構造のNチャンネルMISトランジスタにより構成されている。即ち、シリコン基板10上に絶縁膜としてシリコン酸化膜11が形成され、このシリコン酸化膜11上にp型シリコン層12が形成されたSOI基板が用いられている。この基板のシリコン層12上に、ゲート酸化膜16を介してゲート電極13が形成され、ゲート電極13に自己整合されてn型ソース、ドレイン拡散層14、15が形成されている。

【0017】ソース、ドレイン14、15は、底部のシリコン酸化膜11に達する深さに形成されている。従って、p型シリコン層12からなるボディ領域は、チャンネル幅方向（図の紙面に直交する方向）の分離を酸化膜で行うとすれば、底面及びチャンネル幅方向の側面が他から絶縁分離され、チャンネル長方向はpn接合分離されたフローティング状態になる。このメモリセルMCをマトリクス配列する場合、ゲート13はワード線WLに接続され、ソース15は固定電位線（接地電位線）に接続され、ドレイン14はビット線BLに接続される。

【0018】図3は、メモリセルアレイのレイアウトを示し、図4(a)、(b)はそれぞれ図3のA-A'、B-B'断面を示している。p型シリコン層12は、シリコン酸化膜21の埋め込みにより、格子状にパターン形成される。即ちドレインを共有する二つのトランジスタの領域がワード線WL方向にシリコン酸化膜21により素子分離されて配列される。或いはシリコン酸化膜21の埋め込みに代わって、シリコン層12をエッチングすることにより、横方向の素子分離を行っても良い。ゲート13は一方方向に連続的に形成されて、これがワード線WLとなる。ソース15は、ワード線WL方向に連続的に形成されて、これが固定電位線（共通ソース線）となる。トランジスタ上は層間絶縁膜23で覆われこの上にビット線BLが形成される。ビット線BLは、二つのトランジスタで共有するドレイン14にコンタクトして、ワード線WLと交差するように配設される。

【0019】これにより、各トランジスタのボディ領域であるシリコン層12は、底面及びチャンネル幅方向の側面が酸化膜により互いに分離され、チャンネル長方向にはpn接合により互いに分離されてフローティング状態に保たれる。そしてこのメモリセルアレイ構成では、ワード線WLおよびビット線BLを最小加工寸法Fのピッチで形成したとして、単位セル面積は、図3に破線で示したように、 $2F \times 2F = 4F^2$ となる。

7

【0020】このnチャネル型MISトランジスタからなるDRAMセルの動作原理は、MISトランジスタのボディ領域（他から絶縁分離されたp型シリコン層12）の多数キャリアであるホールの蓄積を利用する。即ち、トランジスタを5極管領域で動作させることにより、ドレイン14から大きな電流を流し、ドレイン14の近傍でインパクトイオン化を起こす。このインパクトイオン化により生成される多数キャリアであるホールをp型シリコン層12に保持させ、そのホール蓄積状態を例えばデータ“1”とする。ドレイン14とp型シリコン層12の間のpn接合を順方向バイアスして、p型シリコン層12の過剰ホールをドレイン側に放出した状態をデータ“0”とする。

【0021】データ“0”，“1”は、チャネルボディの電位の差として、従ってトランジスタのしきい値電圧の差として記憶される。即ち、ホール蓄積によりボディの電位が高いデータ“1”状態のしきい値電圧 $V_{th1}$ は、データ“0”状態のしきい値電圧 $V_{th0}$ より低い。ボディに多数キャリアであるホールを蓄積した“1”データ状態を保持するためには、ワード線には負20のバイアス電圧を印加することが必要になる。このデータ保持状態は、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する1トランジスタ/1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

【0022】データ読み出しの方式には、いくつか考えられる。ワード線電位 $V_{w1}$ とバルク電位 $V_B$ の関係は、データ“0”，“1”と関係で図5のようになる。従ってデータ読み出しの第1の方法は、ワード線WLに30データ“0”，“1”のしきい値電圧 $V_{th0}$ ， $V_{th1}$ の間になる読み出し電位を与えて、“0”データのメモリセルでは電流が流れず、“1”データのメモリセルでは電流が流れることを利用する。具体的には例えば、ビット線BLを所定の電位 $V_{BL}$ にプリチャージして、その後ワード線WLを駆動する。これにより、図6に示すように、“0”データの場合、ビット線プリチャージ電位 $V_{BL}$ の変化がなく、“1”データの場合はプリチャージ電位 $V_{BL}$ が低下する。

【0023】第2の読み出し方式は、ワード線WLを立40ち上げてから、ビット線BLに電流を供給して、“0”，“1”の導通度に応じてビット線電位の上昇速度が異なることを利用する。簡単には、ビット線BLを0Vにプリチャージし、図7に示すようにワード線WLを立ち上げて、ビット線電流を供給する。このとき、ビット線の電位上昇の差をダミーセルを利用して検出することにより、データ判別が可能となる。

【0024】第3の読み出し方式は、ビット線BLを所定の電位にクランプしたときの、“0”，“1”で異なるビット線電流の差を読む方式である。電流差を読み出50

8

すには、電流—電圧変換回路が必要であるが、最終的には電位差を差動増幅して、センス出力を出す。

【0025】この発明において、選択的に“0”データを書き込むためには、即ちメモリセルアレイのなかで選択されたワード線WLとビット線BLの電位により選択されたメモリセルのボディのみからホールを放出させるには、ワード線WLとボディの間の容量結合が本質的になる。データ“1”でボディにホールが蓄積された状態は、ワード線を十分負方向にバイアスして、メモリセルのゲート・基板間容量が、ゲート酸化膜容量となる状態（即ち表面に空乏層が形成されていない状態）で保持することが必要である。また、書き込み動作は、“0”，“1”共に、パルス書き込みとして消費電力を減らすことが好ましい。“0”書き込み時、選択トランジスタのボディからドレインにホール電流が、ドレインからボディに電子電流が流れるが、ボディにホールが注入されることはない。

【0026】より具体的な動作波形を説明する。図8～図11は、選択セルによるビット線の放電の有無によりデータ判別を行う第1の読み出し方式を用いた場合のリード/リフレッシュ及びリード/ライトの動作波形である。図8及び図9は、それぞれ“1”データ及び“0”データのリード/リフレッシュ動作である。時刻 $t_1$ までは、データ保持状態（非選択状態）であり、ワード線WLには負電位が与えられている。時刻 $t_1$ でワード線WLを正の所定電位に立ち上げる。このときワード線電位は、“0”，“1”データのしきい値 $V_{th0}$ ， $V_{th1}$ の間に設定する。これにより、“1”データの場合、予めプリチャージされていたビット線VBLは放電により低電位になる。“0”データの場合はビット線電位VBLは保持される。これにより“1”，“0”データが判別される。

【0027】そして、時刻 $t_2$ で、ワード線WLの電位を更に高くし、同時に読み出しデータが“1”の場合には、ビット線BLに正電位を与え（図8）、読み出しデータが“0”の場合はビット線BLに負電位を与える（図9）。これにより、選択メモリセルが“1”データの場合、5極管動作により大きなチャネル電流が流れてインパクトイオン化が起こり、ボディに過剰のホールが注入保持されて再度“1”データが書き込まれる。

“0”データの場合には、ドレイン接合が順方向バイアスになり、ボディに過剰ホールが保持されていない“0”データが再度書き込まれる。

【0028】そして、時刻 $t_3$ でワード線WLを負方向にバイアスして、リード/リフレッシュ動作を終了する。“1”データ読み出しを行ったメモリセルと同じビット線BLにつながる他の非選択メモリセルでは、ワード線WLが負電位、従ってボディが負電位に保持されて、インパクトイオン化は起こらない。“0”データ読み出しを行ったメモリセルと同じビット線BLにつな

る他の非選択メモリセルでは、やはりワード線WLが負電位に保持されて、ホール放出は起こらない。

【0029】図10及び図11は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード/ライト動作である。図10及び図11での時刻 $t_1$ での読み出し動作はそれぞれ、図8及び図9と同様である。読み出し後、時刻 $t_2$ でワード線WLを更に高電位とし、同じ選択セルに“0”データを書き込む場合には同時に、ビット線BLに負電位を与え(図10)、“1”データを書き込む場合にはビット線BLに正電位を与える(図11)。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、ボディのホールが放出される。“1”データが与えられたセルでは、ドレイン近傍でインパクトイオン化が起こり、ボディに過剰ホールが注入保持される。

【0030】図12～図15は、ビット線BLを0Vにプリチャージし、ワード線選択後にビット線BLに電流を供給して、ビット線BLの電位上昇速度によりデータ判別を行う第2の読み出し方式を用いた場合のリード/リフレッシュ及びリード/ライトの動作波形である。図12及び図13は、それぞれ“1”データ及び“0”データのリード/リフレッシュ動作である。負電位に保持されていたワード線WLを、時刻 $t_1$ で正電位に立ち上げる。このときワード線電位は、図7に示したように、“0”、“1”データのしきい値 $V_{th0}$ 、 $V_{th1}$ のいずれよりも高い値に設定する。或いは、ワード線電位を、第1の読み出し方式と同様に、“0”、“1”データのしきい値 $V_{th0}$ 、 $V_{th1}$ の間に設定してもよい。そして、時刻 $t_2$ でビット線に電流を供給する。これにより、“1”データの場合、メモリセルが深くオンしてビット線BLの電位上昇は小さく(図12)、“0”データの場合メモリセルの電流が小さく(或いは電流が流れず)、ビット線電位は急速に上昇する。これにより“1”、“0”データが判別される。

【0031】そして、時刻 $t_3$ で、読み出しデータが“1”の場合には、ビット線BLに正の電位を与え(図12)、読み出しデータが“0”の場合はビット線BLに負の電位を与える(図13)。これにより、選択メモリセルが“1”データの場合、ドレイン電流が流れてインパクトイオン化が起こり、ボディに過剰ホールが注入保持されて再度“1”データが書き込まれる。“0”データの場合には、ドレイン接合が順方向バイアスになり、ボディに過剰ホールのない“0”データが再度書き込まれる。時刻 $t_4$ でワード線WLを負方向にバイアスして、リード/リフレッシュ動作を終了する。

【0032】図14及び図15は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード/ライト動作である。図14及び図15での時刻 $t_1$ 及び $t_2$ での読み出し動作はそれぞれ、図12及び図13と同様である。読み出し後、同じ選択セルに“0”データ

を書き込む場合には、ビット線BLに負電位を与え(図14)、“1”データを書き込む場合にはビット線BLに正電位を与える(図15)。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、ボディの過剰ホールが放出される。“1”データが与えられたセルでは、大きなドレイン電流が流れてドレイン近傍でインパクトイオン化が起こり、ボディに過剰ホールが注入保持される。

【0033】以上のようにこの発明によるDRAMセルは、他から電気的に分離されたフローティングのチャンネルボディを持つ単純なMOSトランジスタにより構成され、4F<sup>2</sup>のセルサイズが実現可能である。また、フローティングのボディの電位制御は、ゲート電極からの容量結合を利用しており、ソースも固定電位である。即ち、読み出し/書き込みの制御は、ワード線WLとビット線BLで行われ、簡単である。更にメモリセルは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、センスアンプのレイアウトは容易になる。更に電流読み出し方式であるので、ノイズにも強く、例えばオープンビット線方式でも読み出しが可能である。また、メモリセルの製造プロセスも簡単である。

【0034】また、SOI構造は、今後のロジックLSIの性能向上を考えたときに重要な技術となる。この発明によるDRAMは、この様なSOI構造のロジックLSIとの混載を行う場合にも非常に有望である。キャパシタを用いる従来のDRAMと異なり、ロジックLSIのプロセスと異なるプロセスを必要とせず、製造工程が簡単になるからである。

【0035】更に、この発明によるSOI構造のDRAMは、従来の1トランジスタ/1キャパシタ型のDRAMをSOI構造とした場合に比べて、優れた記憶保持特性が得られるという利点がある。即ち従来の1トランジスタ/1キャパシタ型のDRAMをSOI構造とすると、フローティングのボディにホールが蓄積されてトランジスタのしきい値が下がり、トランジスタのサブスレッショルド電流が増加する。これは記憶保持特性を劣化させる。これに対してこの発明による1トランジスタのみのメモリセルでは、記憶電荷を減少させるトランジスタパスは存在せず、データ保持特性は純粋にpn接合のリークのみで決まり、サブスレッショルドリークという問題がなくなる。

【0036】ここまでに説明した基本的なDRAMセルにおいて、チャンネルボディの電位の差として記憶されるデータ“0”、“1”のしきい値電圧差をどれだけ大きくとれるかがメモリ特性にとって重要になる。この点に関してシミュレーションを行った結果によると、ゲートからの容量結合によるチャンネルボディの電位制御を伴うデータ書き込みに際して、書き込み直後の“0”、“1”データのボディ電位差に比べて、その後のデータ

保持状態での“0”、“1”データのボディ電位差が小さくなることが明らかになった。そのシミュレーション結果を次に説明する。

【0037】デバイス条件は、ゲート長 $L_g = 0.35 \mu m$ 、p型シリコン層12は厚さが $t_{Si} = 100 nm$ 、アクセプタ濃度が $NA = 5 \times 10^{17} / cm^3$ であり、ソース14及びドレイン15のドナー濃度が $ND = 5 \times 10^{20} / cm^3$ 、ゲート酸化膜厚が $t_{ox} = 10 nm$ である。

【0038】図16は、“0”データ書き込みと、その後のデータ保持及びデータ読み出し（それぞれ瞬時に示している）におけるゲート電位 $V_g$ 、ドレイン電位 $V_d$ 、及びチャネルボディの電位 $V_B$ を示している。図17は同じく、“1”データ書き込みと、その後のデータ保持及びデータ読み出し（それぞれ瞬時に示している）におけるゲート電圧 $V_g$ 、ドレイン電圧 $V_d$ 、及びチャネルボディ電圧 $V_B$ を示している。また、時刻 $t_6 - t_7$ のデータ読み出し動作における“0”データのしきい値電圧 $V_{th0}$ と“1”データのしきい値電圧 $V_{th1}$ を見るために、その時間のドレイン電流 $I_{ds}$ とゲート・ソース間電圧 $V_{gs}$ を描くと、図18のようになる。但し、チャネル幅 $W$ とチャネル長 $L$ を $W/L = 0.175 \mu m / 0.35 \mu m$ とし、ドレイン・ソース間電圧を $V_{ds} = 0.2V$ としている。

【0039】図18から、“0”書き込みセルのしきい値電圧 $V_{th0}$ と“1”書き込みセルのしきい値電圧 $V_{th1}$ の差 $\Delta V_{th}$ は、 $\Delta V_{th} = 0.32V$ となっている。以上の解析結果から、問題になるのは、図16及び図17において、“0”書き込み直後（時刻 $t_3$ ）のボディ電位が $V_B = -0.77V$ 、“1”書き込み直後のボディ電位が $V_B = 0.85V$ であり、その差が $1.62V$ であるのに対し、データ保持状態（時刻 $t_6$ ）では、“0”書き込みセルのボディ電位が $V_B = -2.04V$ 、“1”書き込みセルのボディ電位が $V_B = -1.6V$ であり、その差が $0.44V$ と書き込み直後より小さくなっていることである。

【0040】このように書き込み直後に比べて、その後のデータ保持状態でのボディ電位のデータによる差が小さくなる要因は、二つ考えられる。その一つは、ゲートからボディへの容量カップリングがデータにより異なることである。“0”書き込み直後（ $t_3 - t_4$ ）では、ドレインは $-1.5V$ であるが、“1”書き込み直後ではドレインが $2V$ である。従って、その後ゲート電位 $V_g$ を下げたとき、“1”書き込みセルではチャネルが容易に消失し、ゲート・ボディ間の容量が顕在化して、次第にボディにホールが蓄積されて容量が大きくなる。一方、“0”書き込みセルではチャネルが容易には消失せず、ゲート・ボディ間容量が顕在化しない。

【0041】ゲート電位を下げ始めるより先にドレイン電位を $200mV$ にリセットすれば、上述したアンバラ

ンスは解消されるかに思われる。しかしこの場合には、“0”書き込みを行ったセルでは、チャネルが形成された状態でドレイン電位が上昇して3極管動作による電流が流れる。そして、“0”書き込みにより折角下げたボディ電位が、n型のドレイン及びチャネル反転層とp型のボディとの間の容量結合により上昇してしまい、好ましくない。

【0042】もう一つは、書き込み後の時刻 $t_4 - t_5$ の間で、ソース或いはドレインとボディとの間のpn接合の容量でボディ電位が影響され、これが“0”、“1”データの信号量を減らす方向に作用することである。

【0043】そこでこの発明においては、上記基本DRAMセルに対して、チャネル形成の制御を行うためのゲート（第1のゲート）とは別に、チャネルボディを容量結合により電位制御するためのゲート（第2のゲート）を付加する。第2のゲートは、チャネルボディとの間の容量を確保するためには、第2のゲート側の表面が蓄積状態（フラットバンド状態を含む）になるように、例えばソースに与えられる基準電位より低い電位（nチャネルの場合であれば、負電位）に固定すればよい。或いは、第2のゲートに、第2のゲート側の表面が反転層が形成されない範囲で空乏状態になるような固定電位を与えることもできる。これにより、実質的に第2のゲート側のゲート絶縁膜厚を大きくしたと等価になる。以下に具体的な実施の形態を説明する。

【0044】〔実施の形態1〕図19は、この発明の実施の形態によるDRAMセル構造を、図1に対応させて示している。基本構造は、図1と同様であり、図1と異なる点は、チャネル制御を行う第1のゲート13とは別に、シリコン層12にゲート絶縁膜19を介して対向して容量結合する第2のゲート20が酸化膜11に埋め込まれている点である。具体的にゲート絶縁膜19は、第1のゲート13側のゲート絶縁膜16と同じ膜厚とする。

【0045】実際のセルアレイ構成では、後に説明するように、第1のゲート13はワード線として連続的に形成され、第2のゲート20はこれと並行する配線として配設される。第2のゲート20には、例えば負の固定電位が与えられる。

【0046】〔実施の形態2〕図20は、別の実施の形態によるDRAMセルの構造である。図19の実施の形態と異なりこの実施の形態では、第2のゲート20は、配線としてパターンニングされず、セルアレイ領域全体をカバーするように共通のゲート（バックプレート）として配設される。この様な構造とすれば、第2のゲート20と第1のゲート13の位置合わせが不要であり、製造プロセスが簡単になる。

【0047】次に、上記した実施の形態1、2のDRAMセルについて、先に基本DRAMセルについて行った



13

と同様のシミュレーションを行った結果を説明する。デバイス条件は、第2のゲート20がp<sup>+</sup>型多結晶シリコンであり、-2Vに電位固定する。ゲート絶縁膜19は第1のゲート13側のゲート絶縁膜16と同じ10nm厚、その他の条件も先の基本DRAMセルの場合と同じである。

【0048】図21は、“0”データ書き込みと、その後のデータ保持及びデータ読み出し（それぞれ瞬時に示している）におけるゲート電位 $V_g$ 、ドレイン電位 $V_d$ 、及びチャネルボディの電位 $V_B$ を示している。図22は同じく、“1”データ書き込みと、その後のデータ保持及びデータ読み出し（それぞれ瞬時に示している）におけるゲート電位 $V_g$ 、ドレイン電位 $V_d$ 、及びチャネルボディ電位 $V_B$ を示している。

【0049】図21及び図22において、“0”書き込み直後（時刻 $t_3$ ）のボディ電位が $V_B = -0.82V$ 、“1”書き込み直後のボディ電位が $V_B = 0.84V$ であり、その差が $1.66V$ である。これに対し、データ保持状態（時刻 $t_6$ ）では、“0”書き込みセルのボディ電位が $V_B = -1.98V$ 、“1”書き込みセルのボディ電位が $V_B = -0.86V$ であり、その差は $1.12V$ となっている。これは、先の基本DRAMセル構造の場合と比較して、書き込み直後とその後のデータ保持時の間で、ボディ電位の差の変化が小さくなっている。

【0050】図23は、図18に対応させて、時刻 $t_6 - t_7$ のデータ読み出し動作における“0”データのしきい値電圧 $V_{th0}$ と“1”データのしきい値電圧 $V_{th1}$ を見るために、その時間のドレイン電流 $I_{ds}$ とゲート・ソース間電圧 $V_{gs}$ を示している。これから、“0”データのしきい値電圧 $V_{th0}$ と“1”データのしきい値電圧 $V_{th1}$ の差 $\Delta V_{th}$ は、 $\Delta V_{th} = 0.88V$ である。従って、先の基本セル構造の場合に比べて、“0”、“1”データの間で大きな信号差が得られている。

【0051】図24は、図19のDRAMセル構造を用いた場合のメモリセルアレイのレイアウトを示している。図25は図24のA-A'及びB-B'断面である。第1のゲート13がワード線WL1として一方向に連続的に形成され、これに対応して、第2のゲート20もワード線WL1と並行するワード線WL2として配設される。但し、ワード線WL2は前述のように電位固定される。その他の構成は、図3及び図4に示した基本DRAMセルの場合と同様であり、4F<sup>2</sup>のセル面積を実現することができる。

【0052】上述のように、DRAMセルのボディに対してバックゲート或いはバックプレートを設定してその電位を固定することにより、“0”、“1”データの間で大きなしきい値電圧差が得られることが明らかになった。しかしこの場合、ワード線の振幅が大きくなるおそ

14

れがある。これは、セルアレイの中で選択的な“0”データ書き込みを実現するためには、“1”データ書き込みセルのデータ保持状態でのボディ電位を、“0”データ書き込み直後のボディ電位レベル以下にしなければならないからである。

【0053】即ち、ビット線に共通接続されているDRAMセルのうち、選択ワード線を上げてこれにより選択されたセルで“0”データを書く場合、“1”データが書かれている非選択セルでデータを保持するためには、非選択ワード線の電位を十分に下げることが必要になる。また、バックゲート或いはバックプレートでボディに容量結合させていることは、相対的にフロントゲート（第1のゲート）からボディに対する容量結合を小さくすることになるから、その分ワード線振幅を大きくすることが必要になる。

【0054】以上のことから、第1のゲートと第2のゲートのチャネルボディに対する容量結合の大きさを最適状態に設定することが必要になる。そのためには、第2のゲート20とシリコン層12の間の第2のゲート絶縁膜19の膜厚を、第1のゲート13とシリコン層12の間の第1のゲート絶縁膜16の膜厚との関係で最適化すればよい。この点を考慮をした実施の形態を以下に説明する。

【0055】〔実施の形態3〕図26は、その様な実施の形態のDRAMセル構造を、図19に対応させて示している。上記実施の形態1、2では、第1のゲート13側のゲート絶縁膜16と第2のゲート20側のゲート絶縁膜19を同じ膜厚としたのに対してこの実施の形態では、第1のゲート13側のゲート絶縁膜16の膜厚12.5nmに対して、第2のゲート20側のゲート絶縁膜19を37.5nmと厚くしている。

【0056】その他のデバイス条件を先の実施の形態の場合と同じとして、そのシミュレーション結果を図27及び図28に示す。但し、ワード線振幅（ $V_g$ ）は先の実施の形態の場合と異なり、書き込み時のHレベルを3V、データ保持時のLレベルを-0.5Vとしている。図27では、書き込み直後からの電位変化のみ示している。また図29は、データ保持状態からデータ読み出しの間のセルのドレイン電流 $I_{ds}$ とゲート電圧 $V_{gs}$ の関係を示している。

【0057】図29の結果から、“0”データと“1”データのしきい値電圧の差は、 $\Delta V_{th} = 0.62V$ である。先の実施の形態の場合に比べて、しきい値電圧差は小さくなるが、第1のゲート側の容量が相対的に第2のゲート側の容量より大きくなるため、ワード線振幅を小さくして、同様の動作が可能になる。また、ワード線振幅を小さくすることにより、トランジスタの耐圧による制限内での動作が容易になる。

【0058】〔実施の形態4〕図30は、別の実施の形態によるDRAMセルアレイのレイアウトを示し、図3

1はそのA-A'断面を示している。ここまでの実施の形態では、フローティングのチャネルボディを持つトランジスタを作るためにSOI基板を用いたのに対し、この実施の形態では、いわゆるSGT (Surrounding Gate Transistor) 構造を利用して、フローティングのチャネルボディを持つ縦型MISトランジスタによりDRAMセルを構成する。

【0059】シリコン基板10には、RIEにより、縦横に走る溝を加工して、p型柱状シリコン30が配列形成される。これらの各柱状シリコン30の両側面に対向するように、第1のゲート13と第2のゲート20が形成される。第1のゲート13と第2のゲート20は、図31の断面において、柱状シリコン30の間に交互に埋め込まれる。第1のゲート13は、側壁残しの技術により、隣接する柱状シリコン30の間で隣接する柱状シリコン30に対して独立したゲート電極として分離形成される。一方第2のゲート20は、隣接する柱状シリコン30の間にこれらが共有するように埋め込まれる。第1、第2のゲート13、20はそれぞれ、第1、第2のワード線WL1、WL2として連続的にパターン形成される。

【0060】柱状シリコン30の上面にn型ドレイン拡散層14が形成され、下部には全セルで共有されるn型ソース拡散層15が形成される。これにより、各チャネルボディがフローティングである縦型トランジスタからなるメモリセルMCが構成される。ゲート13、20が埋め込まれた基板には層間絶縁膜17が形成され、この上にビット線18が配設される。この実施の形態の場合も、第2のゲート20に固定電位を与えて、先の各実施の形態と同様の動作ができる。

【0061】【実施の形態5】図32は、更に別の実施の形態によるDRAMセル構造を、図19或いは図20に対応させて示している。この実施の形態の場合、分離用のシリコン酸化膜11を薄くして、これをそのままゲート絶縁膜として用いている。そして、シリコン基板10の酸化膜11側の表面部に高濃度のp<sup>+</sup>型拡散層を形成してこれを第2のゲート20としている。この実施の形態によっても先の各実施の形態と同様の動作ができる。

【0062】ここまでの実施の形態では、第1のゲートと第2のゲートとは半導体層を挟んで対向するように配置している。即ち、図19、図20、図32の実施の形態では、シリコン層12の上下に第1及び第2のゲート1、20を配置し、図30、図31の実施の形態では、柱状シリコンの30の両側面に第1及び第2のゲート13、20を配置している。しかし第1、第2のゲートの配置はこれらの実施の形態に限られない。例えば、図には示さないが、半導体層の第1のゲートが対向する面と直交する面に第2のゲートを対向させるように、横方向にメモリセルを分離する素子分離領域に第2のゲートを

配置することもできる。

#### 【0063】

【発明の効果】以上述べたようにこの発明によれば、一つのメモリセルは、フローティングの半導体層を持つ単純な一つのトランジスタにより形成され、セルサイズを $4F^2$ と小さくすることができる。トランジスタのソースは固定電位に接続され、ドレインに接続されたビット線とゲートに接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。トランジスタのボディに対向する第2のゲートには、ボディと容量結合させることによって、第1のゲートによるボディに対する容量結合比を最適化して、“0”、“1”データのしきい値電圧差を大きくすることができる。

#### 【図面の簡単な説明】

【図1】この発明によるDRAMセルの基本構造を示す断面図である。

【図2】同DRAMセルの等価回路である。

【図3】同DRAMのメモリセルアレイのレイアウトである。

【図4】図3のA-A'及びB-B'断面図である。

【図5】同DRAMセルのワード線電位とバルク電位の関係を示す図である。

【図6】同DRAMセルの読み出し方式を説明するための図である。

【図7】同DRAMセルの他の読み出し方式を説明するための図である。

【図8】同DRAMの“1”データ読み出し／リフレッシュの動作波形を示す図である。

【図9】同DRAMの“0”データ読み出し／リフレッシュの動作波形を示す図である。

【図10】同DRAMの“1”データ読み出し／“0”データ書き込みの動作波形を示す図である。

【図11】同DRAMの“0”データ読み出し／“1”データ書き込みの動作波形を示す図である。

【図12】同DRAMの他の読み出し方式による“1”データ読み出し／リフレッシュの動作波形を示す図である。

【図13】同DRAMの他の読み出し方式による“0”データ読み出し／リフレッシュの動作波形を示す図である。

【図14】同DRAMの他の読み出し方式による“1”データ読み出し／“0”データ書き込みの動作波形を示す図である。

【図15】同DRAMの他の読み出し方式による“0”データ読み出し／“1”データ書き込みの動作波形を示す図である。

【図16】同DRAMセルの“0”書き込み／読み出しのシミュレーションによるボディ電位変化を示す図である。

17

【図17】同DRAMセルの“1”書き込み／読み出しのシミュレーションによるボディ電位変化を示す図である。

【図18】同シミュレーションによる“0”，“1”データの読み出し時のドレイン電流－ゲート電圧特性を示す図である。

【図19】この発明の実施の形態によるDRAMセルの構造を示す断面図である。

【図20】他の実施の形態によるDRAMセルの構造を示す断面図である。

【図21】同DRAMセルの“0”書き込み／読み出しのシミュレーションによるボディ電位変化を示す図である。

【図22】同DRAMセルの“1”書き込み／読み出しのシミュレーションによるボディ電位変化を示す図である。

【図23】同シミュレーションによる“0”，“1”データの読み出し時のドレイン電流－ゲート電圧特性を示す図である。

【図24】図19のDRAMセルを用いたセルアレイのレイアウトである。

【図25】図24のA-A'及びB-B'断面図であ \*

18

る。

【図26】他の実施の形態によるDRAMセルの構造を示す断面図である。

【図27】同DRAMセルの“0”書き込み／読み出しのシミュレーションによるボディ電位変化を示す図である。

【図28】同DRAMセルの“1”書き込み／読み出しのシミュレーションによるボディ電位変化を示す図である。

【図29】同シミュレーションによる“0”，“1”データの読み出し時のドレイン電流－ゲート電圧特性を示す図である。

【図30】他の実施の形態によるDRAMセルを用いたセルアレイのレイアウトである。

【図31】図30のA-A'断面図である。

【図32】他の実施の形態によるDRAMセルの構造を示す断面図である。

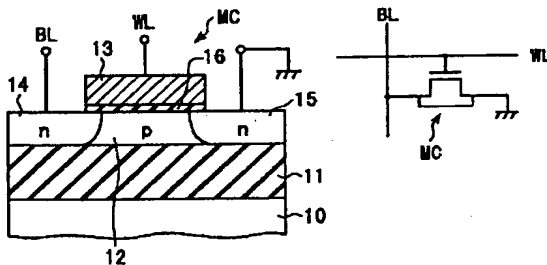
【符号の説明】

10…シリコン基板、11…シリコン酸化膜、12…p型シリコン層、13…第1のゲート、14…ドレイン拡散層、15…ソース拡散層、20…第2のゲート。

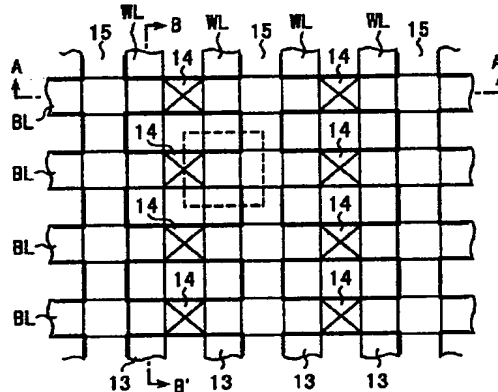
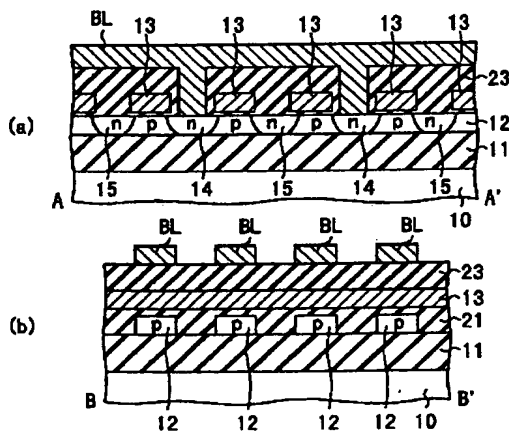
【図1】

【図2】

【図3】

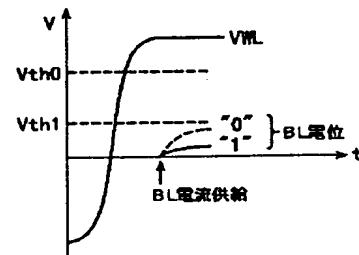
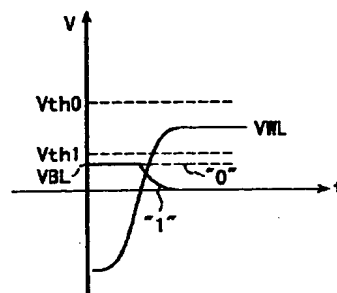


【図4】

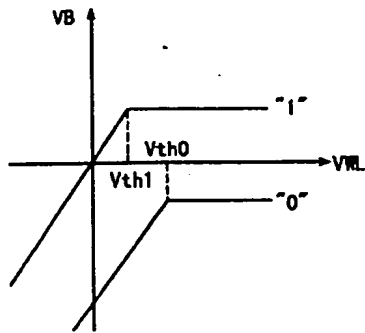


【図6】

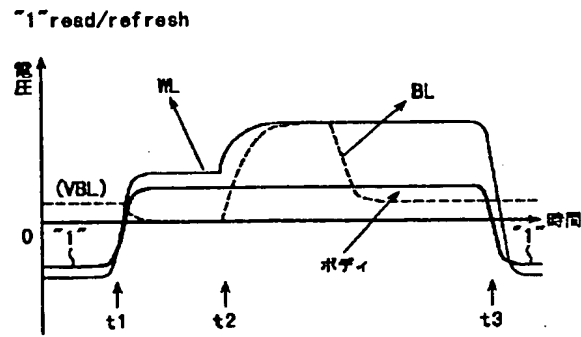
【図7】



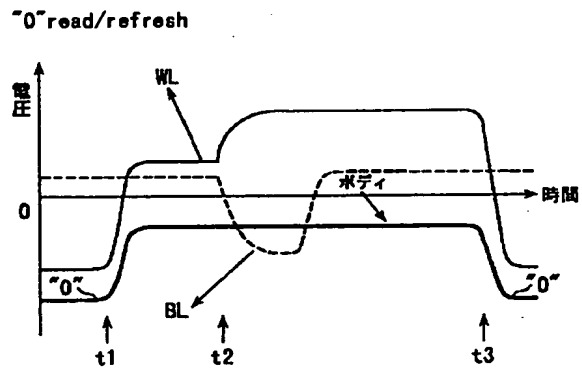
【図5】



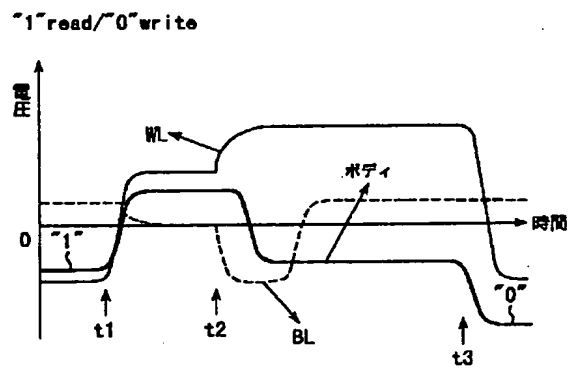
【図8】



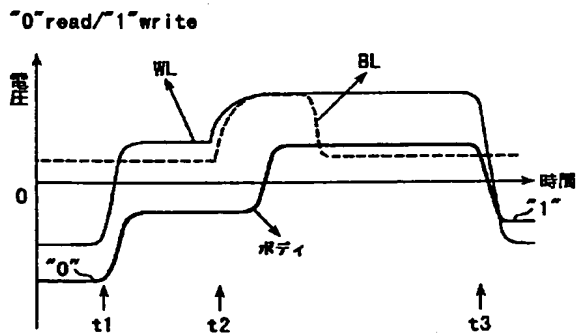
【図9】



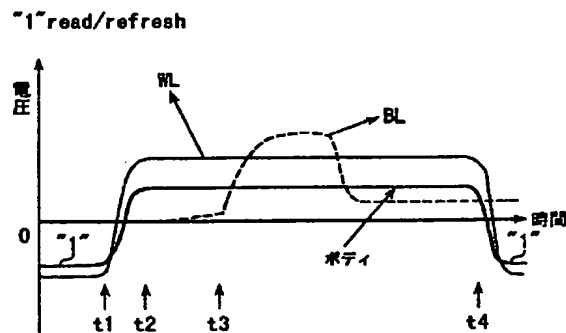
【図10】



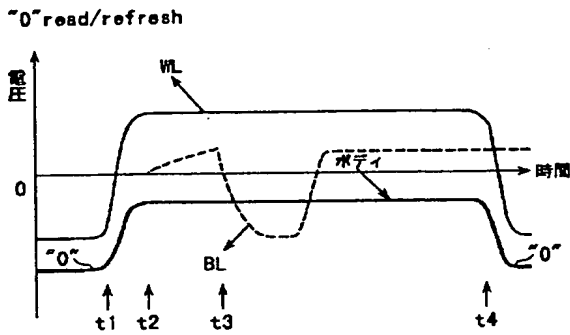
【図11】



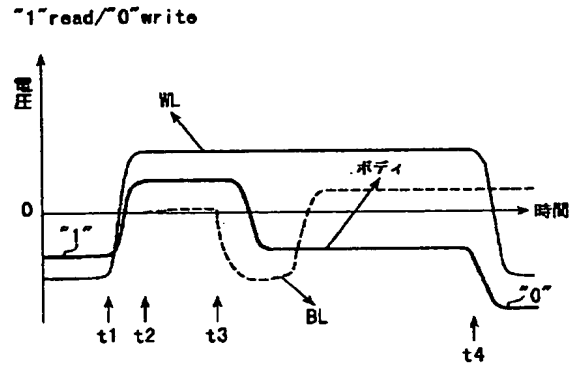
【図12】



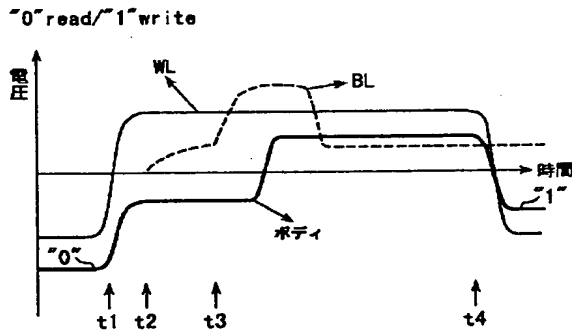
【図13】



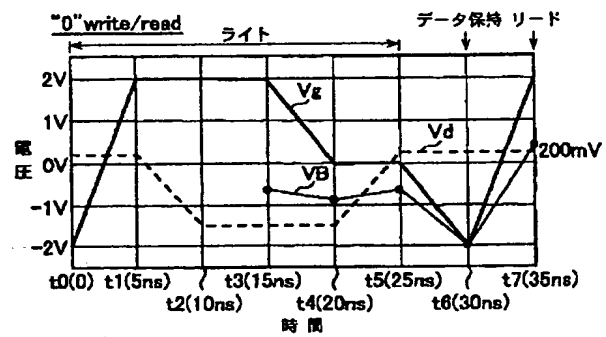
【図14】



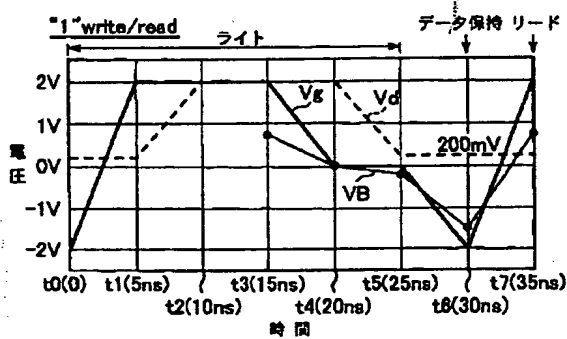
【図15】



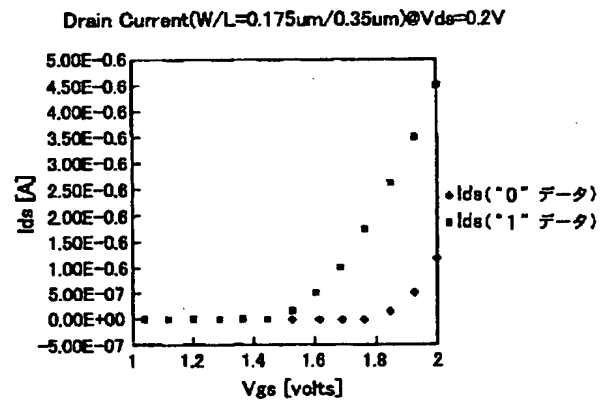
【図16】



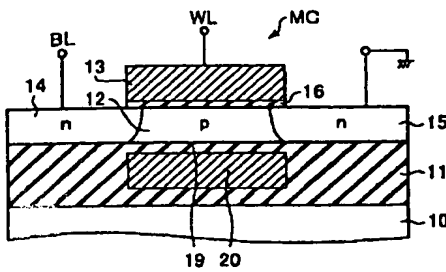
【図17】



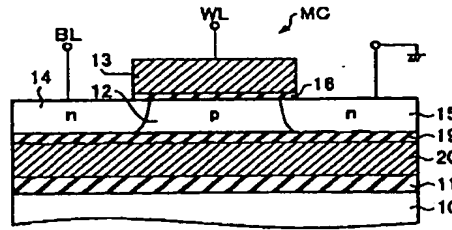
【図18】



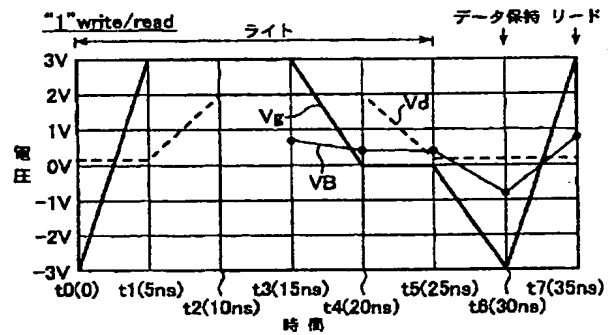
【図19】



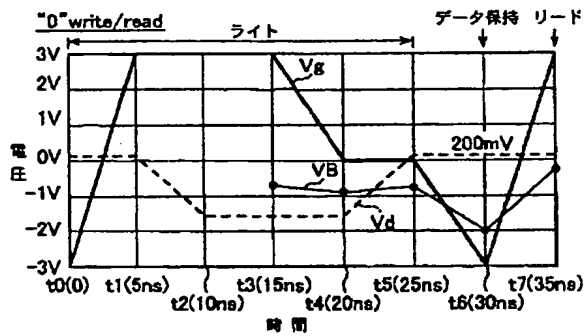
【図20】



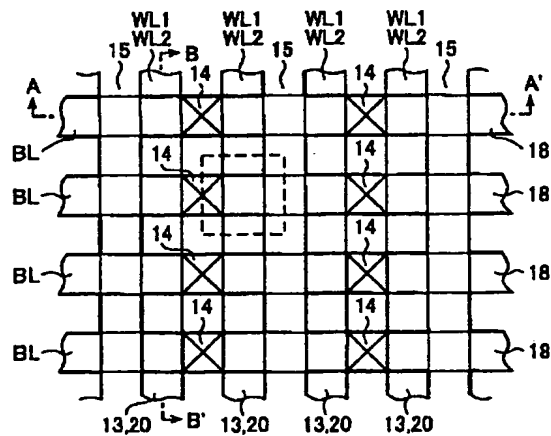
【図22】



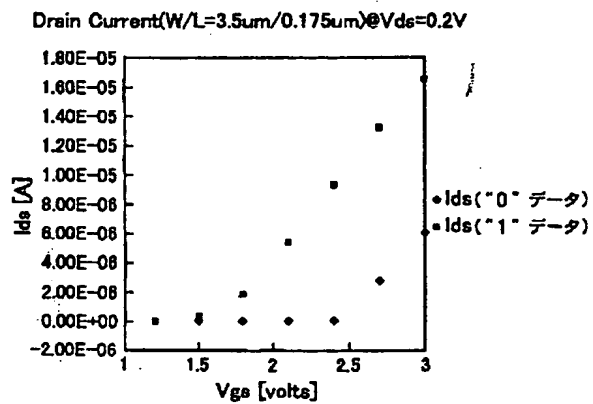
【図21】



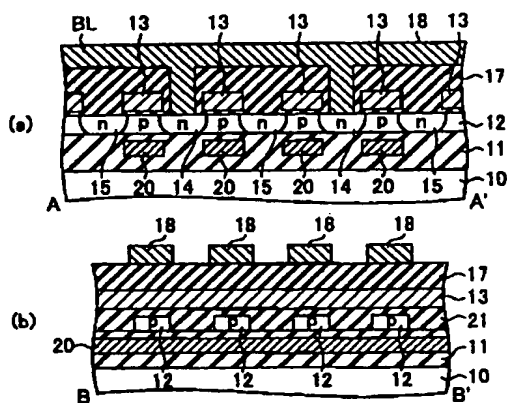
【図24】



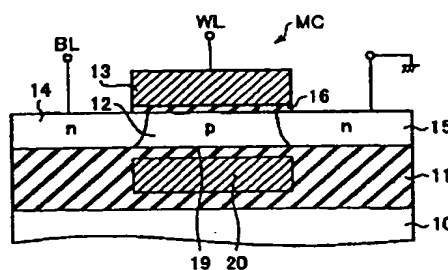
【図23】



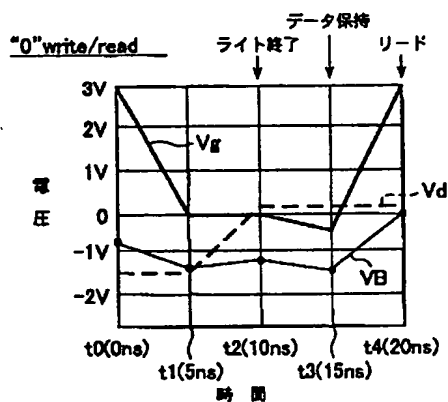
【図25】



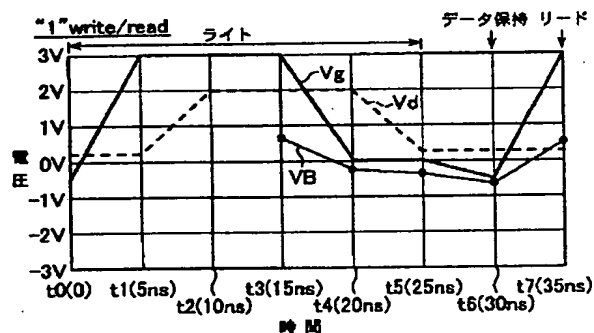
【図26】



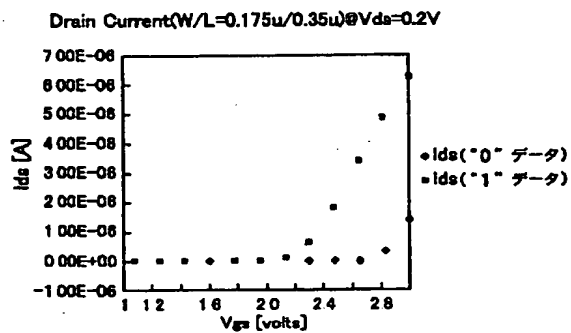
【図27】



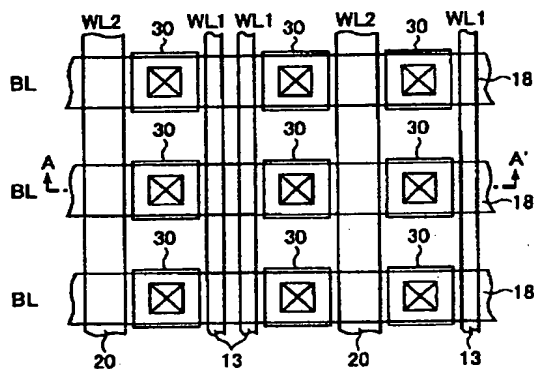
【図28】



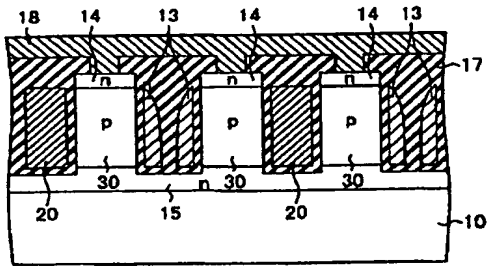
【図29】



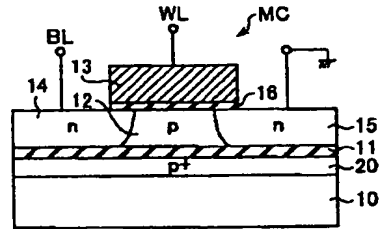
【図30】



【図31】



【図32】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
H 0 1 L 27/10

テーマコード(参考)

6 8 1 E

F ターム(参考) 5F083 AD02 AD06 AD69 GA09 GA11  
HA02 NA01 ZA19  
5M024 AA37 AA58 AA70 BB02 BB35  
BB36 CC20 CC22 CC70 HH01  
HH13 LL04 LL11 PP03 PP04  
PP05 PP07 PP09 PP10



# A Capacitorless Double-Gate DRAM Cell Design for High Density Applications

Charles Kuo, Tsu-Jae King, and Chenming Hu

Department of Electrical Engineering and Computer Sciences

University of California, Berkeley, CA 94720

Phone: (510)643-2639, Fax: (510)643-2636, E-mail: cckuo@eecs.berkeley.edu

## ABSTRACT

Experimental measurements and 2-D device simulation are used to investigate a capacitorless, asymmetric double-gate DRAM (DG-DRAM) design. Soft error problems are discussed. Careful attention to cell geometry and film quality results in intrinsic retention times suitable for stand-alone and embedded memories.

## INTRODUCTION

Semiconductor memories such as DRAM play an increasingly important part in determining the performance of microelectronic products. Their role has raised the demand for reliable, high density memories with fast data access and low power consumption. However, significant challenges must be overcome in scaling DRAM [1]. Reducing the transistor's off-state leakage, for example, can require high substrate doping to sustain a large threshold voltage. Unfortunately, this approach enhances trap-assisted tunneling and leads to tail bits with small retention times. Another problem is the integration of a small storage capacitor in a technology which should provide an adequate sensing signal margin, long retention time, and soft error protection.

As a result, it is unclear if DRAM can scale without changes in the standard 1T/1C cell design. Alternative structures have been proposed. In capacitorless DRAM, for example, the conventional storage capacitor is replaced by the body capacitance of a SOI MOSFET [2-5]. The number of majority carriers stored in the body affect channel conductivity through the body effect and can be used to distinguish two states. However, some capacitorless DRAM cell designs may be impractical for sub-100nm technologies because of their doping profiles [2] and the need for an increasingly heavy dopant concentration to sustain a partially depleted body [3-4].

DG-DRAM is a new type of capacitorless DRAM [5]. Its unique, compact structure targets applications ranging from embedded and stand-alone DRAM products to 1T-SRAM arrays [6]. In this study, we compare DG-DRAM against other technologies, consider variations in its cell design, present experimental and simulation measurements, and explore soft error problems.

## TECHNOLOGY

Unlike a conventional double-gate logic transistor, the two gates in a DG-DRAM cell are not electrically connected. This permits an electrically induced floating body to appear within a fully depleted body when a negative back gate voltage ( $V_{GB}$ ) is applied. Excess holes generated by impact

ionization near the drain are collected at the back interface and raise the drain current. These characteristics are demonstrated in Fig. 1 with devices fabricated using a recessed channel SOI (RCSOI) process [7]. The P-type substrate underneath the buried oxide layer acts as a back gate, creating a quasi-double gate cell from a RCSOI NMOSFET. Fig. 1 and sub-100nm FinFET simulations [8] demonstrate that MEDICI can provide a good match with double gate device measurements.

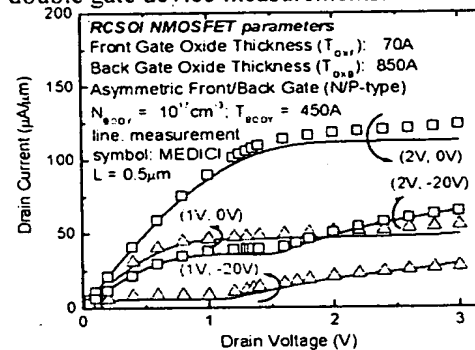


Fig. 1: The emergence of a kink effect in fully depleted SOI MOSFETs depends on both front and back gate voltages ( $V_{GF}$ ,  $V_{GB}$ ).

A fully depleted SOI MOSFET's body coefficient is defined as  $dV_T/dV_{BS} = -3T_{ox}/T_{Si}$  [5]. Since a thin body, double-gate device effectively terminates field lines from the drain, a slightly thicker gate oxide may be used to increase the body coefficient in a DG-DRAM cell while avoiding punchthrough and excessive off-state leakage. By combining a small silicon film thickness and thick gate oxide into one device, DG-DRAM has the ability to transform small gains of body potential into significant changes in  $V_T$ .

DG-DRAM can also be realized with thicker fully-depleted silicon films. Unfortunately, a thicker body in sub-100nm devices increases off-state leakage. Using a more negative  $V_{GB}$  raises  $V_T$  and reduces leakage while compensating for the smaller body coefficient by permitting additional holes to be stored within the body. However, raising  $|V_{GB}|$  also increases the electric field at the junctions and causes more trap-assisted tunneling which limits retention times in high density memory arrays.

In capacitorless DRAM technologies using a partially-depleted semiconductor film, high body dopant concentrations are needed as the device is scaled [9]. Heavy doping limits depletion into the body from the gate, drain, and source regions for sub-100nm devices. However, a large body doping also results in trap-assisted tunneling [1] and threshold voltage ( $V_T$ ) fluctuations [10]. Fig. 2 shows how  $\sigma_{Vi}$  increases as a function of uniform body doping. Although a retrograde doping profile mitigates dopant

fluctuations within the depletion region, this approach is less useful when PD-SOI technologies are scaled because of the decrease in film thickness and encroachment of halo implants into the channel [9]. In contrast, a DG-DRAM cell design can incorporate a lightly doped body, resulting in  $\sigma_{V_T}$  of less than 1mV.

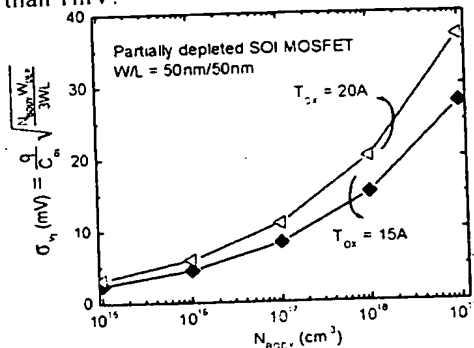


Fig. 2:  
 $V_T$  fluctuations worsen with increasing body doping.

Besides eliminating the need for a discrete storage capacitor, DG-DRAM has other advantages over standard 1T/1C DRAM. For instance, conventional DRAM array cells should act as ideal switches to quickly transfer charge between the storage node and bitline. Achieving a large transconductance in DRAM cells is difficult as technology scales because of the small gate overdrive ( $V_{\text{wordline}} - V_T$ ). But the performance of cross-latched current sense amplifiers depends on current differences and can be fairly independent of the current driving capability of memory cells [11]. Current sensing allows DG-DRAM to achieve fast reading speeds because a large body coefficient can be incorporated into its design, even at sub-100nm gate lengths [5].

### CELL DESIGN

The planar, asymmetric double-gate structure in Fig. 3 may be used to realize sub-100nm DG-DRAM array cells. The device can be fabricated in a manner similar to [12]. A thin back gate oxide is thermally grown on a bulk silicon wafer followed by deposition of amorphous P+ silicon. STI is used to isolate the back gates in this P+ silicon layer. The wafer is then bonded to a second oxidized silicon wafer. Following a front surface polishing, the wafer is oxidized to achieve a thin silicon film for the body. After removing this sacrificial oxide, a front gate oxide can be thermally grown. Formation of an N+ front gate and raised source/drain regions completes the process.

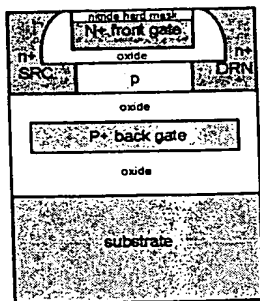


Fig. 3:  
A planar, asymmetric DG-DRAM cell

Note that the front gate length can be shorter than the DRAM half-pitch [13]. This results in a larger tolerance for aligning the two gates and contacting the S/D. Increases in overlap capacitances between the back gate and S/D are not as significant as with logic transistors. Reading speeds depend in part on how quickly array cells drive low-capacitance nodes within the current sense amplifiers [11]. While sensing signal margins are independent of bitline capacitance for DG-DRAM, the time it takes to switch bitline voltages between different operation modes may increase due to the increased overlap capacitance. This effect is reduced by dividing the array bits into small, discrete subarray blocks. Each bitline covers a limited number of cells which minimizes the overall bitline capacitance [10].

In practical applications, variations in cell geometry must be considered since  $\Delta V_T$  between two states in capacitorless DRAM is only a few hundred millivolts. Fig. 4 shows the effect of a  $\pm 10\%$  variation in gate length and film thickness. Although  $V_T$  is sensitive to large variations, fabricating a DG-DRAM array can be more tractable. For example, high density memory arrays are divided into smaller subarray blocks [10]. Rather than maintaining a strictly uniform body thickness across an entire wafer, a key goal is to minimize intra-subarray variations in film thickness. This approach is necessary because array bits are compared to reference cells in the same block. Current sensing schemes help in this approach by cancelling out systematic variations within the subarray as common mode noise [4].

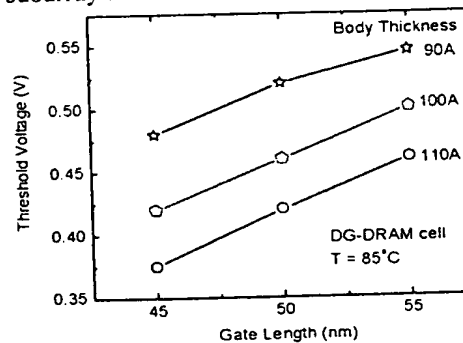


Fig. 4:  
Simulated effects of  $\pm 10\%$  variations in body thickness and gate length on  $V_T$ .

Another way to minimize the effect of variations on  $V_T$  is to reduce the front gate oxide thickness ( $T_{\text{OXF}}$ ). The front gate oxide cannot be thinned excessively for a given body thickness because of the decrease in the body coefficient. Holes would also spread over a larger area at the back interface for a thinner  $T_{\text{OXF}}$ , resulting in smaller gains of  $\Delta V_{\text{BS}}$  for the same number of holes. But the body coefficient is independent of the back gate oxide thickness ( $T_{\text{OXB}}$ ). A thicker back oxide reduces the overlap capacitance and decreases coupling from the back gate to the front surface potential. This diminishes the capacitor divider effect and the impact that body thickness variations have on  $V_T$ .

### OPERATION

Simulation parameters of an asymmetric 50nm DG-DRAM cell are listed in Table 1 and were chosen to reduce

the  $V_T$  dependence on gate length and body thickness as well as to attain a large body coefficient. All transition times in the simulations are set to 1ns. Note that DG-DRAM can be operated with small voltages and realized with conventional polysilicon gate materials. In DG-DRAM, four modes of operation are needed: read, program, purge, and hold.

Table 1: 50nm DG-DRAM Array Cell Simulation Parameters

	Program (0/1)	Hold	Read	Purge (dynamic)
Front Gate Voltage ( $V_{GF}$ ):	1V	0V	1V	1V
Back Gate Voltage ( $V_{GB}$ ):	-1V	-1V	-1V	0V
Drain Voltage ( $V_D$ ):	0.5V/1.2V	0.5V	0.5V	0.5V
Source Voltage ( $V_S$ ):	0V	0.5V	0V	0V

$N_{BOCY} = 10^{15} \text{cm}^{-3}$ (P-type)	$N_{SD} = 10^{20} \text{cm}^{-3}$ (N+)
$T_{OXF} = 40\text{\AA}$	$T_{OXB} = 60\text{\AA}$
$T_{BOCY} = 100\text{\AA}$	$L_{GATE} = 50\text{nm}$
$\tau_{ELECTRON} = 1\mu\text{s}$	$\tau_{HOLE} = 1\mu\text{s}$
$\phi_{FRONT\ GATE} = 4.17\text{eV}$ (N+)	$\phi_{BACK\ GATE} = 5.25\text{eV}$ (P+)
$t_{PROGRAM} = 10\text{ns}$	$t_{PURGE} = 10\text{ns}$

**Read:** Like 1T/1C DRAM, a refresh is required after every read operation [5]. For a thin silicon body, recombination with channel electrons reduces the number of holes inside the body over time. Increasing the front gate voltage  $V_{GF}$  also reduces the source-body potential barrier at the back interface because of capacitive coupling and allows excess holes to move into the source. Thus, a small  $V_{GF}$  and fast switching speeds are needed to maximize the current difference which is sensed between two different states in a read operation.

**Program:** The number of holes at the back interface of an N-channel DG-DRAM cell determines the state of a bit. More holes correspond to larger drain currents which can be detected quickly by a current sense amplifier [11]. To introduce holes into the body, impact ionization is used. Programming speeds of a few nanoseconds are able to saturate the body with holes [3-5]. Since an entire wordline is programmed at one time, drain voltages are varied to define the cell state. Writing a "1" or "0" state requires a large or small drain voltage, respectively. Fig. 5 shows how a transimpedance amplifier is used to measure these characteristics in RCSOI devices.

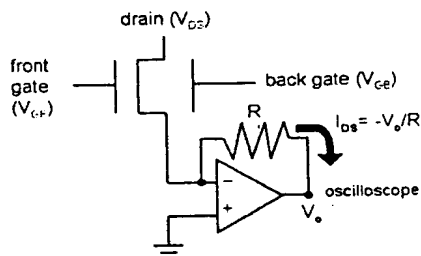


Fig. 5: Measurement setup used to record the transient drain current.

Fig. 6 indicates that impact ionization allows for fast programming while an increasingly negative  $V_{GB}$  raises the difference in current between states. Unlike cells with very thin silicon films, the excess holes are not completely removed in the thicker RCSOI devices during the read phase.

As the gate length scales, smaller drain voltages can be used to sustain a constant electric field during programming. For DG-DRAM, a large body coefficient allows even a small

change in hole concentration to effect a significant reduction in  $V_T$  through  $\Delta V_{BS}$ . Since  $\Delta V_{BS}$  is proportional to the change in hole density, the total amount of holes required to achieve the same change in body potential decreases for shorter channel lengths.

10 year hot-carrier lifetimes with  $\Delta V_T$  of 10mV have been demonstrated in FD-SOI devices [14]. In our study, RCSOI devices were cycled using the purge/program conditions listed in Fig. 9. Each cycle consists of a 50ns purge pulse to expel holes from the body followed by a 10ns programming pulse to introduce holes into the body. After  $10^{11}$  cycles, there was an 8mV increase in  $V_T$  and no degradation in data retention, suggesting that it may be possible to use impact ionization with moderate voltages to achieve fast programming times and good cell endurance simultaneously.

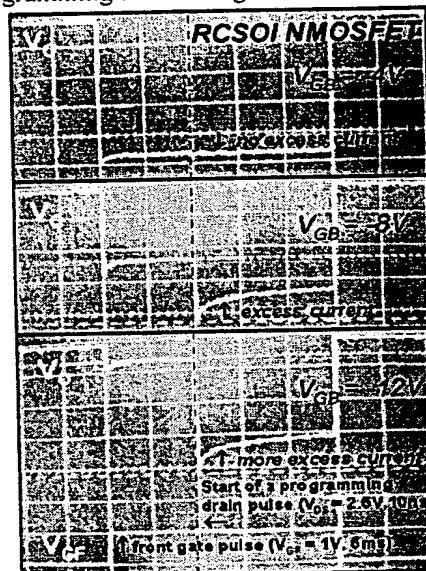


Fig. 6: A larger  $|V_{GB}|$  raises excess current. (W/L = 20 $\mu\text{m}$ /0.3 $\mu\text{m}$ ,  $V_D$ : 500mV/div,  $V_{GF}$ : 1V/div, time: 1ms/div,  $R = 1.1\text{kohm}$ )

**Purge:** Over time, thermally generated holes collect in the body and must be purged periodically in order to write a "0" state. This is achieved by using a more positive  $V_{GB}$  and/or  $V_{GF}$ . Larger gate voltages reduce the potential barrier at the body-source junction, allowing the lateral electric field to sweep accumulated holes into the source. Fig. 7 demonstrates that a dynamic back gate bias works effectively to purge the body because of the strong coupling between the potential profile at the back interface and the back gate.

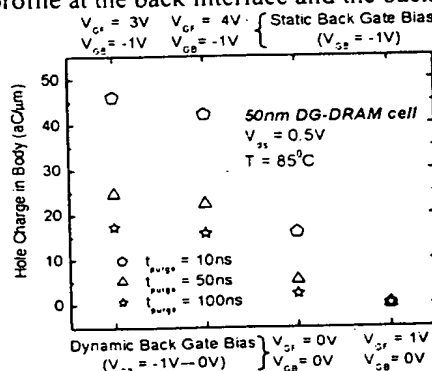


Fig. 7: A dynamic back gate purge can quickly expel holes from the body.

**Hold:** Fig. 8 shows the retention characteristics of a 50nm DG-DRAM cell. A P+ back gate and large negative  $V_{GB}$  results in  $\sim 110\text{aC}/\mu\text{m}$  of hole charge for  $V_{DS} = 0\text{V}$  at steady state and  $\Delta V_T$  of 0.28V at 100ms. In steady state, holes enter the body mostly by thermal generation and level off when this amount is balanced by the number of holes leaving through the junctions [15].

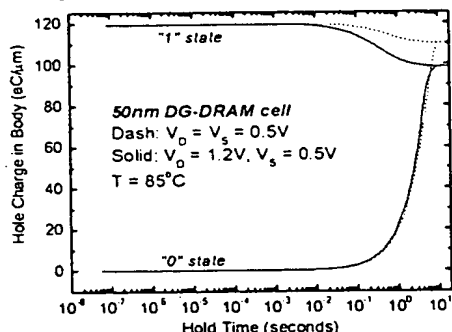


Fig. 8: Simulated retention characteristics under hold (dash) and disturb (solid) conditions. Only a small number of holes is needed to distinguish two states.

The pulsing method used to measure RCSOI devices is depicted in Fig. 9. A purge pulse expels holes. Program and read pulses follow.

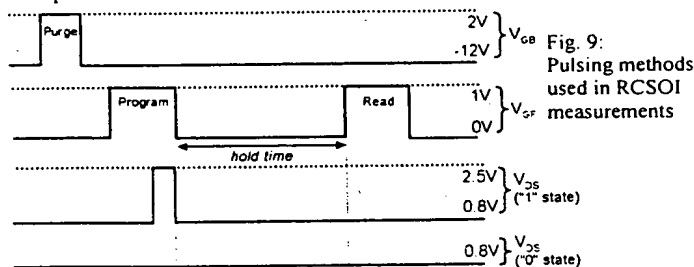


Fig. 9: Pulsing methods used in RCSOI measurements

Fig. 10 shows output voltages from the transimpedance amplifier. Retention characteristics of a RCSOI device are summarized in Fig. 11. A thinner back gate oxide (i.e. larger  $\epsilon_{GB}$ ) and higher generation lifetime would improve the retention properties of the RCSOI device. These improvements are incorporated in the 50nm DG-DRAM simulations where intrinsic retention times of over 100ms can be achieved at 85°C.



Fig. 10: Output voltages from the transimpedance amplifier for "1" and "0" states at  $t_{hold} = 1\text{ms}$  and 85°C.  $I_{DS}$  is the drain current for a "0" state at  $t_{hold} = 0\text{sec}$ . ( $W/L = 20\mu\text{m}/0.3\mu\text{m}$ )

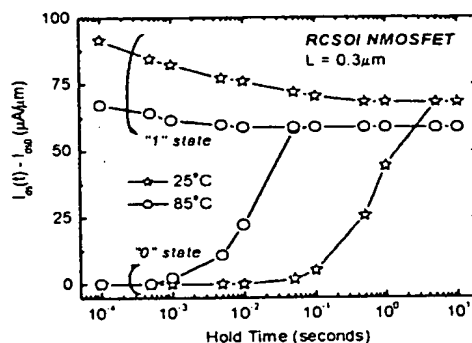


Fig. 11: The accumulation of holes within the body limits retention times.

## SOFT ERROR

In 1T/1C DRAM, a minimum storage capacitance of 20-30fF is needed for the sensing signal and data retention. But this is not enough to prevent a soft error upset by a direct hit of an incident neutron with a cell's storage node. The recoil silicon nucleus can generate  $\sim 160\text{fC}/\mu\text{m}$  whereas the storage charge in a capacitor is less than 50fC [10]. Thus, even for reduced junction areas, a direct hit can result in an error because of the cell's small storage charge.

In a planar DG-DRAM cell, however, no charges are collected by a cell from the underlying substrate because of the back gate oxide. A polyimide die coating shields the array from alpha particles. Like conventional bulk-Si DRAM, soft errors occur when there is a direct hit between neutrons and cells. But the incident high energy neutron flux is small ( $\sim 25/\text{cm}^2\text{-hr}$  at sea level) [16]. The small flux and array cell size suggests that the soft error rate in DG-DRAM will be comparable with 1T/1C DRAM. To compensate for single-bit errors, error checking and correction (ECC) techniques can be used. While there is an overhead associated with extra ECC bits, the ratio of ECC to data bits reduces exponentially for wider internal bus widths [17].

## SUMMARY

DG-DRAM is intriguing for sub-100nm CMOS memory technologies. A planar, asymmetric double-gate DRAM cell has been demonstrated with simulations of a 50nm DG-DRAM design and experimental measurements of RCSOI NMOSFETs. Soft error rates are expected to be comparable with conventional 1T/1C DRAM arrays in bulk silicon and may be repaired with ECC.

## REFERENCES

- [1] K. Kim, et al., *Trans. on Electron Devices*, March 1998, pp. 598-608.
- [2] H.-J. Wann and C. Hu, *IEDM*, 1993, pp. 635-8.
- [3] S. Okhonin, et al., *IEEE Intl. SOI Conf.*, 2001, pp. 153-4.
- [4] T. Ohsawa, et al., *ISSCC*, 2002, pp. 152-3.
- [5] C. Kuo, et al., *Electron Device Letters*, June 2002, pp. 345-7.
- [6] W. Leung, et al., *IEEE Intl. ASIC/SOC Conference*, Sept. 2000, pp. 32-6.
- [7] M. Chan, et al., *Electron Device Letters*, Jan. 1994, pp. 22-4.
- [8] X. Huang, et al., *IEDM*, 1999, pp. 67-70.
- [9] G. G. Sahadi, *IBM J. of Res. & Dev.*, March/May 2002, pp. 121-31.
- [10] K. Itoh, *VLSI Memory Chip Design*, Springer, New York, 2001.
- [11] T. Blalock and R. Jaeger, *J. of Sol. State Circuits*, April 1991, pp. 542-8.
- [12] I. Yang, et al., *Trans. on Electron Devices*, May 1997, pp. 822-31.
- [13] *International Technology Roadmap for Semiconductors*, 2001.
- [14] T. Tsuchiya, et al., *IRPS*, 1994, pp. 57-64.
- [15] K. Hui, et al., *IEEE Intl. SOI Conf.*, 1994, pp. 65-6.
- [16] W. R. McKee, et al., *IRPS*, 1996, pp. 1-6.
- [17] R. W. Hamming, *The Bell Sys. Tech. Journal*, April 1950, pp. 147-60.